

SB
red

J1033 U.S. PTO
09/927594
08/10/01

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 :
Application Number

특허출원 2000년 제 82057 호

출원년월일 :
Date of Application

2000년 12월 26일

출원인 :
Applicant(s)

삼성전자 주식회사

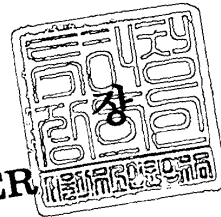
2001 년 02 월 16 일

특

허

청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	2000. 12. 26
【국제특허분류】	H01L
【발명의 명칭】	불휘발성 메모리 소자의 제조방법
【발명의 영문명칭】	Method for fabricating a non-volatile memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	한자형
【성명의 영문표기】	HAN, Ja Hyung
【주민등록번호】	680911-1047316
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 973-3 벽적골 두산아파트 804동 603호
【국적】	KR
【발명자】	
【성명의 국문표기】	한명식
【성명의 영문표기】	HAN, Myung Sik

【주민등록번호】	690106-1785912
【우편번호】	440-200
【주소】	경기도 수원시 장안구 조원동 881번지 한일타운 118동 2106호
【국적】	KR
【발명자】	
【성명의 국문표기】	김경현
【성명의 영문표기】	KIM, Kyung Hyun
【주민등록번호】	680505-1066932
【우편번호】	137-040
【주소】	서울특별시 서초구 반포동 주공아파트 25동 205호
【국적】	KR
【발명자】	
【성명의 국문표기】	홍창기
【성명의 영문표기】	HONG, Chang Ki
【주민등록번호】	630921-1063611
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1270번지 벽산아파트 401동 801호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 필 (인) 대리인 정상빈 (인) 대리인 이래호 (인)
【수수료】	
【기본출원료】	17 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

충간절연막 평탄화 공정과 공통 소오스 라인 형성용 평탄화 공정을 동시에 진행하여 공정을 단순화시키고, 게이트 패턴의 실리사이드층을 공통 소오스 라인 형성 후에 형성함으로써 반도체 소자의 속도 특성을 개선할 수 있는 불휘발성 메모리 소자의 제조방법에 관해 개시한다. 이를 위해 본 발명은 게이트 패턴 형성후, 충간절연막 평탄화 공정과 공통 소오스 라인 형성용 평탄화 공정을 동시에 진행하고, 상기 평탄화 공정을 수행한 후에 에치백 공정으로 컨트롤 게이트용 폴리실리콘막과 공통 소오스 라인용 폴리실리콘막을 노출시킨 후, 실리사이드층을 형성한다.

【대표도】

도 9

사상발트 시전등

【명세서】

【발명의 명칭】

불휘발성 메모리 소자의 제조방법{Method for fabricating a non-volatile memory device}

【도면의 간단한 설명】

도 1 내지 도 3은 종래 기술에 의한 불휘발성 메모리 소자중, 낸드형 플래시 메모리의 제조방법을 설명하기 위해 도시한 단면도들이다.

도 4 내지 도 9는 본 발명에 의한 불휘발성 메모리 소자중, 낸드형 플래시 메모리의 제조방법을 설명하기 위해 도시한 단면도들이다.

* 도면의 주요부분에 대한 부호의 설명 *

100: 반도체 기판,	102: 게이트 산화막,
104: 플로팅 게이트용 폴리실리콘막,	106: 인터폴리 절연막,
108: 컨트롤 게이트용 폴리실리콘막,	110: 게이트 상부 절연막,
112: 게이트 스페이서,	114: 연마정지막,
116: 층간절연막,	118: 실리사이드층,
120: 게이트 패턴,	130: 공통 소오스 라인용 도전물질.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 불휘발성 메모

리 소자중 낸드형(NAND type) 플래시 메모리(림노 memory)의 제조방법에 관한 것이다.

<11> 일반적인 불휘발성 메모리(NVM: Non-Volatile Memory)는 크게 ROM(Read Only Memory), EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), 플래시 메모리(Flash Memory) 및 강유전체 메모리(Ferro-Electric memory)로 분류된다.

<12> 상술한 불휘발성 메모리 중에서 플래시 메모리는, 단위 셀(cell)의 구성방식에 따라 노아형(NOR type)과 낸드형(NAND type)으로 분류되고, 이러한 플래시 메모리들은 휴대용 컴퓨터(mobile computer), 디지털 카메라 및 음성/오디오 레코더(Voice/Audio recorder)의 저장매체 등으로 주로 활용된다.

<13> 도 1 내지 도 3은 종래 기술에 의한 불휘발성 메모리 소자중 낸드형 플래시 메모리의 제조방법을 설명하기 위해 도시한 단면도들이다.

<14> 도 1을 참조하면, 게이트 산화막(12)이 형성된 반도체 기판(10)에 게이트 패턴(20)을 형성한다. 상기 게이트 패턴(20)은 플로팅 게이트(floating gate)용 폴리실리콘막(14), 인터폴리 절연막(inter-poly insulation layer, 16), 컨트롤 게이트(control gate)용 절연막(18), 실리사이드층(22) 및 게이트 상부절연막(24)이 순차적으로 적층된 구조이다.

<15> 도 2를 참조하면, 상기 게이트 패턴(20)이 형성된 반도체 기판 전면에 질화막으로 이루어진 캡핑층(capping layer, 26)을 적층하고, 산화막을 재질로 하는 층간절연막(28)을 두꺼운 두께로 적층하여 게이트 패턴(20)간의 간격(gap)을 채운다.

이어서, 화학기계적 연마(CMP: Chemical Mechanical Polishing) 공정을 진행하여 상기 층간절연막(28)을 평탄화한다. 이때, 상기 화학기계적 연마(CMP) 공정에 의한 평탄화 정도는 상기 게이트 패턴(20)의 손상을 방지하기 위해 상기 캐핑층(26) 위에서 화학기계적 연마를 정지시킨다.

<16> 도 3을 참조하면, 상기 평탄화가 완료된 반도체 기판에 사진 및 식각공정을 진행하여 공통 소오스 라인(CSL: Common Source Line)이 형성될 영역을 식각한다. 계속해서 상기 공통 소오스 라인(CSL)이 형성될 영역이 식각된 반도체 기판 전면에서 공통 소오스 라인용 도전물질(30), 예컨대 폴리실리콘막을 두꺼운 두께로 적층하고 2차 화학기계적 연마(CMP) 공정을 진행하여 공통 소오스 라인(30)을 형성한다.

<17> 그러나 종래 기술에 의한 낸드형 플래시 메모리 제조방법은 다음과 같은 개선의 여지를 지니고 있다.

<18> 첫째, 공통 소오스 라인(CSL, 30)을 형성하기까지 화학기계적 연마를 2번 실시하기 때문에 전체적인 제조공정이 복잡한 경향이 있다.

<19> 둘째, 실리사이드층(22)을 포함하는 게이트 패턴(20)이 높기 때문에 층간절연막을 평탄화한 후, 층간절연막의 두께가 두꺼워진다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명이 이루고자 하는 기술적 과제는 제조공정을 단순화시키고, 층간절연막의 두께를 낮추며, 반도체 소자의 속도 특성을 개선할 수 있는 불휘발성 메모리 소자의 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <21> 상기 기술적 과제를 달성하기 위한 본 발명에 의한 불휘발성 메모리 소자의 제조방법은, 반도체 기판 위에 플로팅 게이트용 폴리실리콘막, 인터폴리 절연막 및 컨트롤 게이트용 폴리실리콘막이 순차적으로 적층된 형태의 게이트 패턴을 형성한다. 상기 게이트 패턴 위에 연마정지막을 블랭킷 방식으로 형성한다. 그 후, 상기 반도체 기판의 전면에 평탄화 공정을 수행하지 않은 층간절연막을 두껍게 형성한다. 상기 층간절연막, 연마정지막을 패터닝하고 공통 소오스 라인(CSL) 형성을 위한 도전물질을 적층한다. 상기 반도체 기판에 상기 연마정지막을 이용하여 평탄화를 진행하여 공통 소오스 라인을 형성한다. 상기 컨트롤 게이트용 폴리실리콘막의 표면이 노출되도록 상기 연마정지막 및 게이트 상부절연막 일부를 에치백하고, 최종적으로 상기 노출된 컨트롤 게이트용 폴리실리콘막 및 공통 소오스 라인 위에 실리사이드층을 형성한다.
- <22> 본 발명의 바람직한 실시예에 의하면, 상기 반도체 기판은 게이트 산화막이 형성된 것을 사용하는 것이 적합하고, 상기 인터폴리 절연막은 산화막과 질화막의 다층막인 것이 적합하다. 상기 게이트 패턴은 상기 컨트롤 게이트용 폴리실리콘막 위에 게이트 상부 절연막이 더 형성된 것으로 상기 게이트 상부 절연막은 질화막인 것이 적합하다. 또한, 상기 게이트 패턴은 측벽에 게이트 스페이서가 더 형성될 수 있으며, 이러한 게이트 스페이서는 질화막인 것이 적합하다.
- <23> 바람직하게는, 상기 연마정지막은 질화막을 재질로 하는 것이 적합하고, 상기 층간절연막은 산화막 혹은 산화막을 포함하는 다층막인 것이 적합하고, 상기 공통 소오스 라인(CSL) 형성을 위한 도전물질은 불순물이 포함된 폴리실리콘인 것이 적합하다.
- <24> 또한, 본 발명의 바람직한 실시예에 의하면, 상기 층간절연막의 평탄화는 산화세습

(Ceria)을 연마제(abrasive)로 사용하여 수행하는 것이 바람직하고, 상기 컨트롤 게이트용 폴리실리콘막을 노출시키는 에치백 공정은 인산(H_3PO_4)을 사용한 습식식각 혹은 건식식각 방식으로 수행할 수 있다. 상기 실리사이드층은 코발트 실리사이드($CoSi_x$) 혹은 텅스텐 실리사이드(WSi_x)를 재질로 하는 것이 바람직하다.

<25> 본 발명에 의한 불휘발성 메모리 소자의 제조방법은 유사한 구조를 갖는 모든 불휘발성 메모리 소자에 적용이 가능하나, 특히 플래시 메모리중 낸드형(NAND type) 소자의 제조방법에 적용하는 것이 바람직하다.

<26> 본 발명에 따르면, 충전절연막의 평탄화 공정 및 공통 소오스 라인을 형성하기 위한 평탄화 공정을 동시에 진행하여 불휘발성 메모리 소자의 제조공정을 단순화시키고, 게이트 패턴의 높이를 낮춤으로써 충전절연막의 두께를 줄일 수 있고, 실리사이드층을 게이트 패턴을 형성하는 공정이 아닌 후속공정에서 형성함으로써 반도체 소자의 속도 특성을 개선할 수 있다.

<27> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 아래의 상세한 설명에서 개시되는 실시예는 본 발명을 한정하려는 의미가 아니라, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게, 본 발명의 개시가 실시 가능한 형태로 완전해지도록 발명의 범주를 알려주기 위해 제공되는 것이다.

<28> 본 발명은 그 정신 및 필수적 특징사항을 이탈하지 않고 다른 방식으로 실시할 수 있다. 예를 들면, 상기 바람직한 실시예에 있어서는 불휘발성 메모리 소자가 낸드형 플래시 메모리 소자이지만, 이는 불휘발성 메모리이면서 유사한 구조를 갖는 EEPROM과 같은 소자일수도 있다. 따라서, 아래의 바람직한 실시예에서 기재한 내용은 예시적인 것이며 한정하는 의미가 아니다.

- <29> 도 4 내지 도 9는 본 발명의 바람직한 실시예에 의한 불휘발성 메모리 소자중 낸드형 플래시 메모리 소자의 제조방법을 설명하기 위해 도시한 단면도들이다.
- <30> 도 4를 참조하면, 게이트 산화막(102)이 형성된 반도체 기판(100)에 게이트 패턴(120)을 형성한다. 이때, 게이트 패턴(120)은 플로팅 게이트용 폴리실리콘막(104), 인터폴리 절연막(106) 및 컨트롤 게이트용 폴리실리콘막(108)이 순차적으로 적층된 구조이다. 이때, 필요하다면, 상기 게이트 패턴(120)은 상기 컨트롤 게이트용 폴리실리콘막(108) 위에 게이트 상부절연막(110)을 추가로 형성할 수 있고, 또한, 상기 게이트 상부절연막(110)이 형성된 구조에 게이트 스페이서(112)를 추가로 더 형성할 수도 있다.
- <31> 상기 게이트 패턴(120)에서, 게이트 상부 절연막(110) 및 게이트 스페이서(112)는 질화막의 단일막 혹은 질화막을 포함하는 다층막을 사용하여 형성하는 것이 적절하고, 상기 인터폴리 절연막(106)은 산화막과 질화막의 다층막을 사용하여 형성하는 것이 적합하다.
- <32> 도 5를 참조하면, 상기 게이트 패턴(120)이 형성된 반도체 기판 전면에 질화막을 사용하여 연마정지층(polishing stopper, 114)을 블랭킷(blanket) 방식으로 형성하고, 층간절연막(116), 예컨대 산화막 혹은 산화막을 포함하는 다층막을 상기 게이트 패턴(120)을 충분히 덮을 수 있는 두께로 증착한다.
- <33> 도 6을 참조하면, 상기 층간절연막(116)에 대하여 평탄화를 진행하지 않은 상태에서, 사진 및 식각 공정을 진행하여 공통 소오스 라인(CSL)이 형성될 영역의 층간절연막(116), 연마정지막(114) 및 게이트 산화막(102) 일부를 부분 식각한다. 이어서, 상기 부분 식각이 수행된 반도체 기판 전면에 공통 소오스 라인용 도전물질(130), 예컨대 불순물이 포함된 폴리실리콘막을 침적(deposition)한다.

<34> 도 7을 참조하면, 상기 공통 소오스 라인용 도전물질(130)이 침적된 반도체 기판에 화학기계적 연마 공정을 이용한 평탄화를 진행한다. 상기 평탄화는 연마정지층(114)의 표면이 노출되도록 진행하기 때문에 층간절연막(116)의 두께를 종래 기술에 비하여 얇게 형성할 수 있다. 또한, 상기 평탄화는 층간절연막(120)의 평탄화와 공통 소오스 라인(130)을 형성하기 위한 평탄화 공정을 동시에 수행할 수 있기 때문에 불휘발성 메모리 소자의 전체적인 공정단순화에 크게 기여한다. 즉, 2회에 걸쳐서 수행하는 화학기계적 연마 공정을 1회로 줄이는 효과를 달성한다.

<35> 도 8을 참조하면, 상기 평탄화가 완료된 반도체 기판에 에치백(etch back) 공정을 수행하여 컨트롤 게이트용 폴리실리콘막(108) 표면을 노출시킨다. 이러한 에치백 공정은 질화막에 대해 식각선택비가 높은 인산과 같은 식각액을 사용하여 습식식각 방식으로 진행할 수 있고, 습식식각이 아닌 건식식각을 이용하여 수행하여도 무방하다. 상기 에치백 공정을 진행하는 동안에 층간절연막(116) 및 공통 소오스 라인용 폴리실리콘막(130)도 약간 식각되어 소모된다.

<36> 도 9를 참조하면, 상기 에치백이 완료된 반도체 기판 전면에 실리사이드 형성을 위한 금속층, 예컨대 코발트층이나 텅스텐층을 일정한 두께로 적층한다. 그 후, 상기 금속층이 형성된 반도체 기판에 열처리 공정을 수행하며 폴리실리콘막, 예컨대 컨트롤 게이트용 폴리실리콘막(108)과 공통 소오스 라인용 폴리실리콘막(130) 위에서는 상기 금속층과 폴리실리콘막(130)의 실리사이드화(silicidation)가 진행되어 실리사이드층(118A, 118B)이 형성되고, 나머지 층간절연막(116) 및 연마정지층(114)과 같은 절연막 위에는 실리사이드층이 형성되지 않는다. 그러므로 세정공정을 통하여 실리사이드화가 진행되지 않은 금속층을 제거하면, 게이트 패턴 위와 공통 소오스 라인 위에서 실리사이드층

(118A, 118B)을 각각 형성할 수 있다.

<37> 이렇게 형성된 실리사이드층(118A, 118B)은 반도체 소자의 속도 특성을 개선할 수 있고, 층간절연막(116)을 형성하기 전 상태의 게이트 패턴(120)의 높이를 낮추는데 영향을 미치기 때문에 종래 기술에 비하여 본 발명에서는 층간절연막(116)의 두께를 얇게 할 수 있다.

<38> 본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

【발명의 효과】

<39> 따라서, 상술한 본 발명에 따르면, 첫째, 층간절연막의 평탄화 공정 및 공통 소오스트 라인을 형성하기 위한 평탄화 공정을 동시에 진행하여 불휘발성 메모리 소자의 제조 공정을 단순화시킨다.

<40> 둘째, 게이트 패턴의 높이를 낮춤으로써 층간절연막의 두께를 줄일 수 있다.

<41> 셋째, 실리사이드층을 게이트 패턴을 형성하는 공정이 아닌 후속공정에서 형성함으로써 반도체 소자의 속도 특성을 개선할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 위에 플로팅 게이트용 폴리실리콘막, 인터폴리 절연막 및 컨트롤 게이트용 폴리실리콘막이 순차적으로 적층된 형태의 게이트 패턴을 형성하는 제1 공정;

상기 게이트 패턴 위에 연마정지막을 블랭킷 방식으로 형성하는 제2 공정;

상기 연마정지막이 형성된 반도체 기판의 전면에 평탄화 공정을 수행하지 않은 층간절연막을 형성하는 제3 공정;

상기 층간절연막, 연마정지막을 패터닝하고 공통 소오스 라인(CSL) 형성을 위한 도전물질을 적층하는 제4 공정;

상기 반도체 기판에 상기 연마정지막을 이용하여 평탄화를 진행하여 공통 소오스 라인을 형성하는 제5 공정;

상기 컨트롤 게이트용 폴리실리콘막의 표면이 노출되도록 상기 연마정지막 및 게이트 상부절연막 일부를 에치백하는 제6 공정;

상기 노출된 컨트롤 게이트용 폴리실리콘막 및 공통 소오스 라인 위에 실리사이드층을 형성하는 제7 공정을 구비하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 2】

제1항에 있어서,

상기 제1 공정의 반도체 기판은 게이트 산화막이 형성된 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 3】

제1항에 있어서,

상기 제1 공정의 인터폴리 절연막은 산화막과 질화막의 다층막인 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 4】

제1항에 있어서,

상기 제1 공정의 게이트 패턴은 상기 컨트롤 게이트용 폴리실리콘막 위에 게이트 상부 절연막이 더 형성된 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 5】

제4항에 있어서,

상기 게이트 상부 절연막은 질화막 또는 질화막을 포함하는 다층막인 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 6】

제4항에 있어서,

상기 제1 공정의 게이트 패턴은 측벽에 게이트 스페이서 더 형성된 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 7】

제6항에 있어서,

상기 게이트 스페이서는 질화막을 재질로 하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 8】

제1항에 있어서,

상기 제2 공정의 연마정지막은 질화막을 재질로 하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 9】

제1항에 있어서,

상기 제3 공정의 층간절연막은 산화막 혹은 산화막을 포함하는 다층막인 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 10】

제1항에 있어서,

상기 제4 공정의 공통 소오스 라인(CSL) 형성을 위한 도전물질은 불순물이 포함된 폴리실리콘이 재질인 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 11】

제1항에 있어서,

상기 제5 공정의 평탄화는 산화세슘(Ceria)을 연다제로 사용하여 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 12】

제1항에 있어서,

상기 제6 공정의 에치백은 인산을 사용한 습식식각으로 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 13】

제1항에 있어서,

상기 제6 공정의 에치백은 건식식각으로 수행하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【청구항 14】

제1항에 있어서,

상기 제7 공정의 실리사이드층은 코발트 실리사이드(CoSix) 혹은 텅스텐 실리사이드(WSix)를 재질로 하는 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

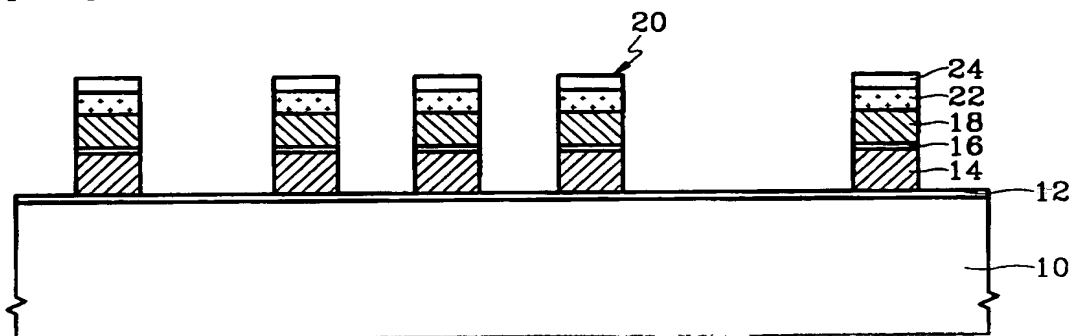
【청구항 15】

제1항에 있어서,

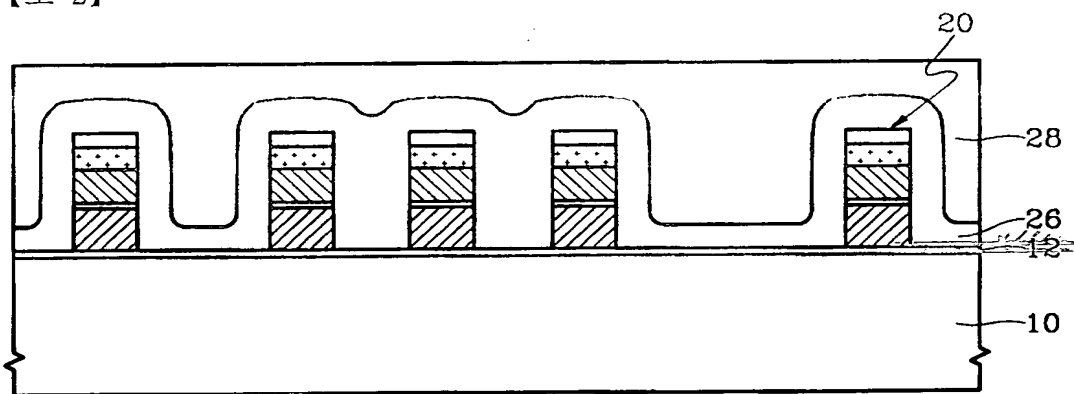
상기 불휘발성 메모리 소자는 낸드형 플래시 메모리인 것을 특징으로 하는 불휘발성 메모리 소자의 제조방법.

【도면】

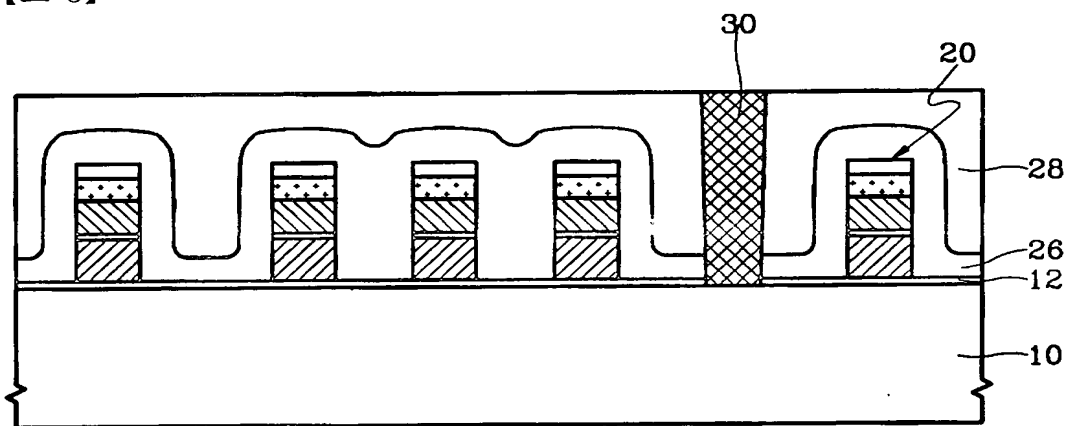
【도 1】



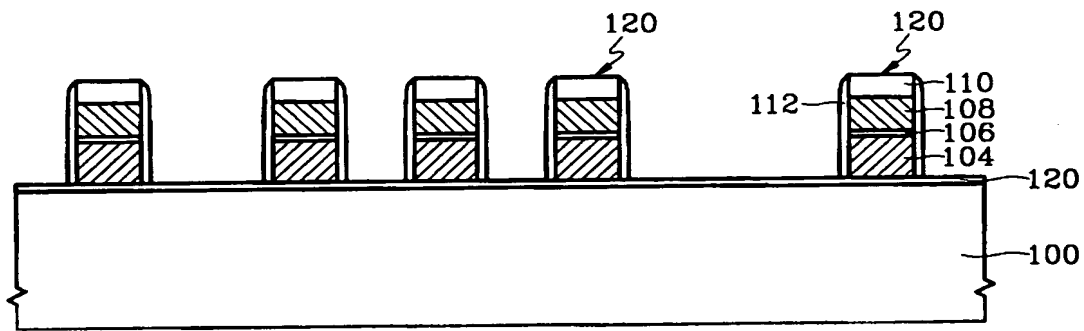
【도 2】



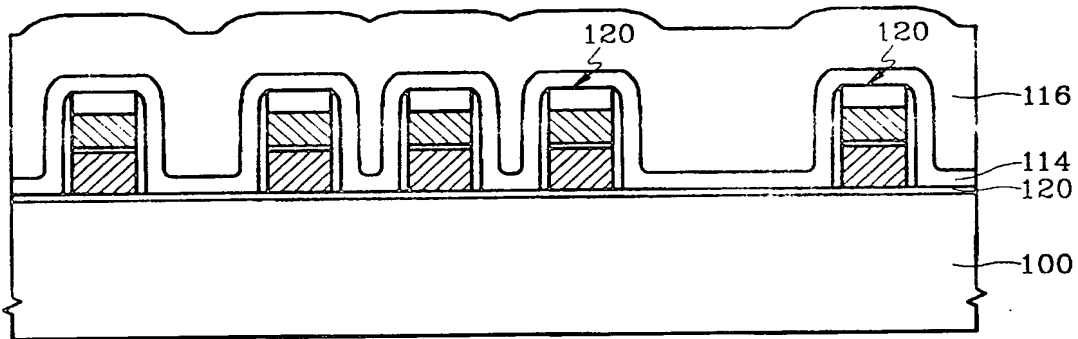
【도 3】



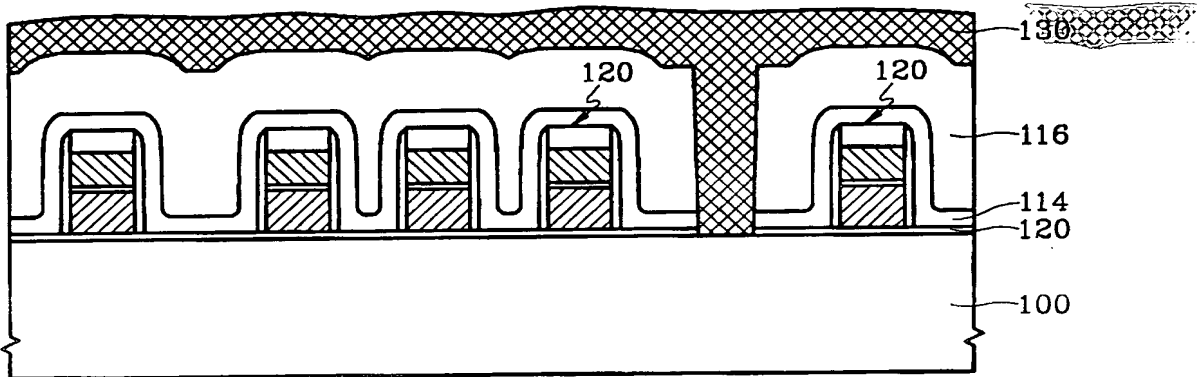
【도 4】



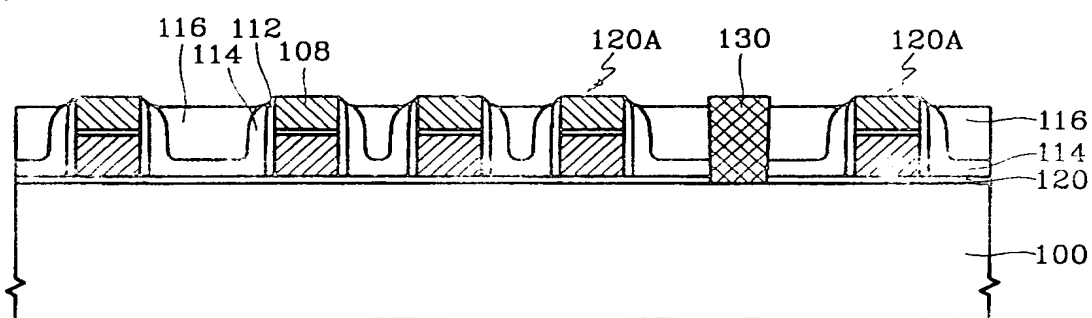
【도 5】



【도 6】



A cross-sectional view of a semiconductor device. A substrate 100 is shown at the bottom. A thin layer 120 is deposited on the substrate. A patterned layer 114 is formed on the thin layer 120. The patterned layer 114 contains several rectangular openings filled with a material 120. A central region 130 is filled with a different material, indicated by a cross-hatch pattern.



This cross-sectional view shows a periodic array of structures on a substrate 100. The structures are formed on a layer 114, which is on top of a layer 120. Each structure consists of a central core 112, a surrounding layer 116, and a top layer 118A. The structures are separated by a gap 116. A label 120B points to the top surface of the structures.